

ED STIC - Proposition de Sujets de Thèse pour la campagne d'Allocation de thèses 2011

Titre du sujet :

Mention de thèse :

HDR Directeur de thèse inscrit à l'ED STIC :

Co-encadrant de thèse éventuel :

Nom :

Prénom :

Email :

Téléphone :

Email de contact pour ce sujet :

Laboratoire d'accueil :

Description du sujet :

Les effets thermiques dans les systèmes sur puce (SoC) sont apparus il y a quelques années conjointement avec l'augmentation de la complexité de ces composants. Il est montré que ces effets thermiques sont en particulier néfastes vis à vis de la fiabilité des composants, réduisant ainsi leur temps moyen de bon fonctionnement. Ce défi est accentué dans les systèmes sur puce multiprocesseur (MPSoC) homogènes ou hétérogènes qui émergent le monde de l'embarqué [1]. Des techniques de type DPM ou DVFS pour réduire la consommation de puissance ont été développées depuis quelques années dans un contexte 2D [2][3]. Généralement, un "power manager" intégré dans le composant doit avoir une vue complète du système pour prendre les décisions adéquates afin de réduire ou stopper l'activité dans le ou les sous-systèmes préalablement définis.

Cependant un obstacle majeur limite aujourd'hui l'évolution des architectures multiprocesseur utilisant des procédés de fabrication CMOS 2D. En effet, ces procédés technologiques ont montré

des limites au niveau du réseau d'interconnexion en termes de latence de communication, d'extensibilité et de consommation de puissance [4].

Afin de contourner cet obstacle technologique, des procédés de gravure sur silicium 3D ont été proposés [5] [6]. Il s'agit d'empiler plusieurs couches de silicium l'une au dessus de l'autre et les interconnecter à travers des 'vias', ce qui permet une meilleure densité d'intégration ainsi qu'une diminution des longueurs des fils de liaison. Cet avantage a motivé les concepteurs à évaluer les technologies 3D pour des architectures sur puce multiprocesseur [7] [8].

Malheureusement, les effets négatifs de la température déjà présents en 2D se retrouvent fortement exacerbés en technologie 3D. Dans le même temps la vue centralisée du "power manager" n'est plus du tout adaptée car chaque partie du composant 3D tend à être conçue de manière indépendante. Il faut donc repenser le "power management" dans un système multiprocesseur 3D. Le but de la thèse consiste à étudier une approche au niveau système (niveau transactionnel) pour contrôler les domaines de puissance dans un composant 3D afin de réduire la consommation de puissance et d'énergie et de maîtriser les effets thermiques induits dans la structure 3D. De manière conjointe à cet objectif de gestion, il est nécessaire de se doter des moyens d'estimer la consommation d'énergie et de puissance dissipée par le fonctionnel en liaison avec la structure tri-dimensionnelle du composant.

Cette thèse s'effectuera en collaboration avec l'Université de Valenciennes.

[1] Wolf, W., Jerraya, A. A., & Martin, G. (2008). Multiprocessor System-on- Chip (MPSoC) Technology. IEEE Transactions on CAD, 27, 1701-1713.

[2] M. K. Bhatti, M. Farooq, C. Belleudy, M. Auguin, O. Mbarek, "Assertive Dynamic Power Management (AsDPM) Strategy for Globally Scheduled RT Multiprocessor Systems", In the proceedings of Power and Timing Modeling, Optimization and Simulation, PATMOS'09, and Integrated Circuit and System Design, chapter 8, Springer LNCS Vol. 5953=2010, Pages 116 -126, 2010.

[3] M. K. Bhatti, C. Belleudy, M. Auguin, "An Inter-Task Real-time DVFS Scheme for Multiprocessor Embedded Systems", In the proceedings of International Conference on Design and Architectures for Signal and Image Processing, DASIP'10, October 2010, Edinburgh, UK.

[4] V. Agarwal et al. "Clock rate vs. IPC: The end of the road for conventional microarchitectures," in Proc. Int. Symp. Comput. Archit., Jun. 2000, pp. 276-283.

[5] A. W. Topol et al., "Three-dimensional integrated circuits," IBM J. Res. Develop., vol. 50, no. 4/5, pp. 491-506, 2006.

[6] B. Black et al., "Die stacking (3D) microarchitecture," in Proc. Int. Symp. Microarchitecture, Dec. 2006, pp. 469-479.

[7] F. Li et al., "Design and management of 3D chip multiprocessors using network-in-memory," in Proc. Int. Symp. Comput. Archit., Jun. 2006, pp. 130-141.

[8] T. Kgil et al., "PicoServer: Using 3D stacking technology to enable a compact energy efficient chip multiprocessor," in Proc. Int. Conf. Architectural Support Program. Lang. Operating Syst., Oct. 2006, pp. 117-128.

[9] Mohamed M. Sabry, Ayse Kivilcim Coskun, David Atienza: Fuzzy control for enforcing energy efficiency in high-performance 3D systems. ICCAD 2010: 642-648 Min Bao; Andrei, A.; Eles, P.; Zebo Peng, Temperature-aware idle time distribution for energy optimization with dynamic

URL : <http://www.unice.fr/leat/sujets-theses.html>

English version:

Title : Power and energy management approach for temperature control in 3D technology MPSoC circuit

Thermal effects in systems on chip (SoC) appeared a few years ago together with the complexity increasing of these components. It is shown that these thermal effects are particularly harmful with respect to the reliability of components, thereby reducing the average time before failures. This challenge is exacerbated in multiprocessor SoC (MPSoC) (homogeneous or heterogeneous) which emerges in embedded electronic equipment [1]. Techniques like DVFS and DPM, for reducing power consumption have been developed in recent years in a 2D circuit [2] [3]. Generally, a "power manager" must have a complete view of the system to take appropriate decisions in order to reduce or stop the activity or the subsystems previously defined.

However a major obstacle limits the development of today's multiprocessor architectures using CMOS manufacturing processes 2D. Indeed, these technological processes have shown limitations in interconnection network in terms of communication latency, scalability and power consumption [4].

To overcome this technological barrier, etching processes on 3D silicon have been proposed [5] [6]. This is to stack several layers of silicon on top of one another and interconnect them through 'vias', which allows a better integration density and also a decrease in the lengths of binding. This advantage has motivated designers to evaluate 3D technologies for multiprocessor architectures on [7] [8].

Unfortunately, the negative effects of temperature in 2D already find themselves greatly exacerbated in 3D technology. At the same time centralized view of the "power manager" is not at all suited for each part of the 3D component tends to be designed independently. We need to rethink the "power management" in a multiprocessor system 3D. The aim of the thesis is to study a system-level approach (transaction level) to control power domain in a 3D component to reduce power and energy consumption as controlling the thermal effects induced in the 3D structure. Jointly with the management objective, it is necessary to develop ways to estimate energy and power dissipated by the functional association with the three-dimensional structure of the component.

[1] Wolf, W., Jerraya, A. A., & Martin, G. (2008). Multiprocessor System-on- Chip (MPSoC) Technology. IEEE Transactions on CAD, 27, 1701-1713.

[2] M. K. Bhatti, M. Farooq, C. Belleudy, M. Auguin, O. Mbarek, "Assertive Dynamic Power Management (AsDPM) Strategy for Globally Scheduled RT Multiprocessor Systems", In the proceedings of Power and Timing Modeling, Optimization and Simulation, PATMOS'09, and Integrated Circuit and System Design, chapter 8, Springer LNCS Vol. 5953=2010, Pages 116 -126, 2010.

[3] M. K. Bhatti, C. Belleudy, M. Auguin, "An Inter-Task Real-time DVFS Scheme for Multiprocessor Embedded Systems", In the proceedings of International Conference

on Design and Architectures for Signal and Image Processing, DASIP'10, October 2010, Edinburgh, UK.

[4] V. Agarwal et al. "Clock rate vs. IPC: The end of the road for conventional microarchitectures," in Proc. Int. Symp. Comput. Archit., Jun. 2000, pp. 276-283.

[5] A. W. Topol et al., "Three-dimensional integrated circuits," IBM J. Res. Develop., vol. 50, no. 4/5, pp. 491-506, 2006.

[6] B. Black et al., "Die stacking (3D) microarchitecture," in Proc. Int. Symp. Microarchitecture, Dec. 2006, pp. 469-479.

[7] F. Li et al., "Design and management of 3D chip multiprocessors using network-in-memory," in Proc. Int. Symp. Comput. Archit., Jun. 2006, pp. 130-141.

[8] T. Kgil et al., "PicoServer: Using 3D stacking technology to enable a compact energy efficient chip multiprocessor," in Proc. Int. Conf. Architectural Support Program. Lang. Operating Syst., Oct. 2006, pp. 117-128.

[9] Mohamed M. Sabry, Ayse Kivilcim Coskun, David Atienza: Fuzzy control for enforcing energy efficiency in high-performance 3D systems. ICCAD 2010: 642-648 Min Bao; Andrei, A.; Eles, P.; Zebo Peng, Temperature-aware idle time distribution for energy optimization with dynamic voltage scaling, Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010, 8-12 March 2010, pp 21 - 26, Dresden

URL : <http://www.unice.fr/leat/sujets-theses.html>