

ED STIC - Proposition de Sujets de Thèse pour la campagne d'Allocation de thèses 2015

Axe Sophi@Stic :	<input type="text" value="aucun "/>
Titre du sujet :	<input type="text" value="Auto-Polarisation de la Grille Arrière pour Auto-Calibration de Cellules Analogiques et Mixtes en Technologie FDSOI"/>
Mention de thèse :	<input type="text" value="Electronique"/>
HDR Directeur de thèse inscrit à l'ED STIC :	<input type="text" value="Gilles Jacquemod"/>

Co-encadrant de thèse éventuel :

Nom :	<input type="text"/>
Prénom :	<input type="text"/>
Email :	<input type="text"/>
Téléphone :	<input type="text"/>

Email de contact pour ce sujet :	<input type="text" value="Gilles.Jacquemod@unice.fr"/>
Laboratoire d'accueil :	<input type="text" value="EpOC"/>

Description du sujet :

Le laboratoire UNS-EpOC est internationalement reconnu dans le domaine de la conception de circuits analogiques et mixte en technologie SOI (PDSOI, puis FDSOI) avec 4 revues internationales, 13 conférences internationales dont 5 papiers invités. Un brevet sur cette dernière technologie est en cours de dépôt. En effet, pour continuer la loi de Moore, les technologies FinFET et FDSOI sont les seules à pouvoir descendre en dessous de 22 nm.

L'objectif de ce travail est d'utiliser les avantages de la technologie FDSOI pour concevoir de nouvelles topologies de cellules analogiques et mixtes. Ainsi, nous nous proposons d'utiliser la grille arrière des transistors MOS (FDSOI) pour réaliser une calibration de manière automatique (par auto-polarisation) sur des cellules symétriques (complémentaires ou différentielles). Ce procédé est utilisé également pour réduire les désappariements entre les composants

(transistors) et pour "symétriser " certaines cellules (PMOS et NMOS d'un inverseur différentiel par exemple) sans augmenter la surface et la consommation du circuit.

Dans un premier temps, le candidat devra réaliser sous Cadence des simulations (Transitoires, Monte Carlo, Bruit de Phase,) afin de valider, sur des circuits types, notre approche et de l'appliquer sur des circuits emblématiques. Dans le cas particulier d'oscillateurs (ou VCO) basés sur des chaînes d'inverseurs (ring oscillator), pour diminuer le phénomène de gigue (jitter) il est important que les transistors aient les mêmes caractéristiques. De plus si les temps de montée et de descente (tpLH et tpHL) sont identiques, les performances de l'oscillateur seront meilleures. En utilisant une logique différentielle (ou complémentaire) et la grille arrière des transistors en technologie FDSOI, nous pouvons d'une part atteindre ce premier objectif, et d'autre part réaliser un oscillateur avec un nombre pair d'inverseurs (ce qui est impossible avec une logique standard). Cette étude se poursuivra par la réalisation d'un VCO, puis son intégration dans une PLL. Divers topologies pour réaliser ce VCO seront étudiées et optimisées.

Un certain nombre de ces topologies sont d'ores et déjà publiées dans le brevet en cours de dépôt. Nous avons également quelques idées novatrices qu'il conviendra de vérifier. Le candidat devra avoir de solides connaissances en conception de circuits analogiques et mixtes, des compétences sur l'utilisation du framework Cadence. De plus, des connaissances sur la technologie FDSOI seront appréciées.

Quelques publications

- L. Geynet, E. de Foucauld, P. Vincent & G. Jacquemod, «Fully-Integrated Dual-Band VCOs with Power Controlled by Body Voltage in 130nm CMOS/SOI for Multi-Standard Applications», Analog Integrated Circuits and Signal Processing, vol. 53, n° 1, 2007, p. 43-51
- G. Jacquemod, L. Geynet, B. Nicolle, E. de Foucauld, W. Tatinian & P. Vincent, «Design and Modelling of a Multistandard Fractional PLL in CMOS/SOI Technology», Microelectronics Journal, vol. 39, n° 9, 2008, p. 1130-1139
- A. Fonseca, E. de Foucauld, P. Lorenzini & G. Jacquemod, «Low power 28nm FDSOI 2.45 GHz PLL», Journal of Low Power Electronics, vol. 10, n° 1, 2014, p. 149-162
- G. Jacquemod, A. Fonseca, E. de Foucauld, Y. Leduc & P. Lorenzini, «2.45 GHz 0.8 mW VCRO in 28nm FDSOI Technology», à paraître dans Special Issue of Frontier of Materials Science, 2015
- A. Fonseca, E. de Foucauld, P. Lorenzini & G. Jacquemod, «CMOS technology beyond 22 nm», ICSS, Las Vegas, 2013, p. 152-153, invité
- G. Jacquemod, A. Fonseca, Y. Leduc, E. de Foucauld & P. Lorenzini, « Analog Design in FDSOI 28 nm technology and beyond», CISIS, 3rd Annual World Congress of Emerging InfoTech, Dalian, 2014, p. 112, invité
- A. Fonseca, G. Jacquemod, Y. Leduc, E. de Foucauld & P. Lorenzini, «VCO Design in SOI technologies», NEWCAS, Special Session «Frequency synthesis - New designs, new technologies», Trois Rivières, 2014, p. 420-423, invité
- G. Jacquemod, A. Fonseca, E. de Foucauld, Y. Leduc & P. Lorenzini, « 2.45 GHz 0.8 mW VCRO in 28nm FDSOI Technology », ICSS, Hong Kong, 2014, p. 74-75, invité
- G. Jacquemod, Y. Leduc, P. Lorenzini, E. de Foucauld and Alexandre Fonseca, « Self-Calibration of Analog and Mixed Cells using Back-Gate Auto-Biasing Transistor in 28 nm FDSOI Technology and Beyond», NanoTech, Dubai, 2015, invité

English version:

--